

BEST AVAILABLE COPY

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-287163

(P2002-287163A)

(43) 公開日 平成14年10月3日 (2002. 10. 3)

(51) Int. Cl. ⁷	識別記号	F I	チーフド (参考)
G 0 2 F	1/1368	G 0 2 F	1/1368
	1/133		1/133
	1/1333		1/1333
	1/1335		1/1335
	1/1343		1/1343

審査請求 未請求 請求項の数15 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2001-85545 (P2001-85545)

(22) 出願日 平成13年3月28日 (2001. 3. 28)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 松本 公一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 10009880

弁護士 西村 征生

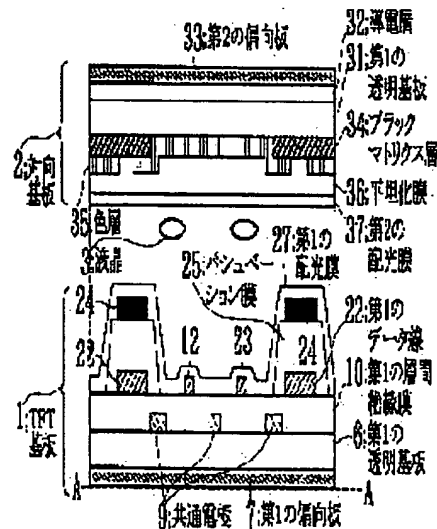
最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】 開口率を低下させることなく、表示画面上で同極性の画素のみを表示させる場合でもフリッカが強く発生するのを抑制する。

【解決手段】 開示される液晶表示装置は、第1及び第2のTFT 29、30を介して互いに極性の異なる画素電圧を第1及び第2の画素電極21、23に印加する第1及び第2のデータ線22、24は、パッシベーション膜25を介して重畳されるように形成されている。



【特許請求の範囲】

【請求項 1】 駆動素子が形成された駆動素子基板と対向基板との間に液晶が封入され、前記駆動素子は同一走査線で駆動される第 1 及び第 2 の駆動素子から成り、互いに極性の異なる画素電圧が第 1 及び第 2 のデータ線から前記第 1 及び第 2 の駆動素子を介して印加される第 1 及び第 2 の画素電極を有する単位画素から構成される液晶表示装置であって、前記第 2 のデータ線は、前記第 1 のデータ線の上層にあって前記第 1 のデータ線と絶縁膜を介して互いに重畳されるように前記駆動素子基板上に形成されることを特徴とする液晶表示装置。

【請求項 2】 前記絶縁膜は、有機絶縁膜又は無機絶縁膜あるいは両絶縁膜の積層膜から成ることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記第 1 及び第 2 の画素電極と、共通電極とが層間絶縁膜を介して相互に絶縁されるように前記駆動素子基板上に形成されることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

【請求項 4】 前記第 1 及び第 2 の画素電極と、前記第 1 のデータ線とは同一の層間絶縁膜上に形成されることを特徴とする請求項 1、2 又は 3 記載の液晶表示装置。

【請求項 5】 前記第 1 及び第 2 の画素電極と、前記第 2 のデータ線とは配向膜で覆われることを特徴とする請求項 1 乃至 4 のいずれか 1 に記載の液晶表示装置。

【請求項 6】 前記第 1 及び第 2 のデータ線は、互いに極性の同一の画素電圧を供給するもの同士が重畳されていることを特徴とする請求項 1 乃至 5 のいずれか 1 に記載の液晶表示装置。

【請求項 7】 前記第 1 及び第 2 のデータ線は、それぞれ異なる単位画素の第 1 及び第 2 の画素電極に前記画素電圧を供給することを特徴とする請求項 6 記載の液晶表示装置。

【請求項 8】 前記駆動素子基板に色層が形成されることを特徴とする請求項 1 乃至 7 のいずれか 1 に記載の液晶表示装置。

【請求項 9】 前記共通電極は配向膜を介して前記液晶と接していることを特徴とする請求項 3 乃至 8 のいずれか 1 に記載の液晶表示装置。

【請求項 10】 前記第 2 のデータ線は、前記第 1 のデータ線の上層にあって前記第 1 のデータ線と前記層間絶縁膜を介して互いに重畳されていることを特徴とする請求項 9 記載の液晶表示装置。

【請求項 11】 前記第 1 及び第 2 の画素電極と共通電極とが、前記第 2 のデータ線を覆う同一の層間絶縁膜上に形成されることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

【請求項 12】 前記共通電極は前記対向基板上に形成されることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 13】 前記単位画素は 1 H 反転駆動方法、1 V 反転駆動方法あるいはドット反転駆動方法により駆動されることを特徴とする請求項 1 乃至 12 のいずれか 1 に記載の液晶表示装置。

【請求項 14】 同一走査線で駆動される第 1 及び第 2 の駆動素子を有し、互いに極性の異なる画素電圧が第 1 及び第 2 のデータ線から前記第 1 及び第 2 の駆動素子を介して印加される第 1 及び第 2 の画素電極を有する単位画素から構成される液晶表示装置の製造方法であって、透明基板上に走査線を形成した後該走査線を覆うように第 1 の層間絶縁膜を形成し、該第 1 の層間絶縁膜上に半導体層を形成する第 1 の工程と、

前記半導体層にドレイン電極及びソース電極を形成して第 1 及び第 2 の駆動素子を形成すると同時に、前記第 1 の層間絶縁膜上に第 1 及び第 2 の画素電極、一方の前記駆動素子の前記ドレイン電極と接続する第 1 のデータ線を形成する第 2 の工程と、

前記駆動素子を覆うように第 2 の層間絶縁膜を形成した後該第 2 の層間絶縁膜にコンタクトホールを形成し、該コンタクトホールを介して他方の前記駆動素子の前記ドレイン電極と接続する第 2 のデータ線を前記第 1 のデータ線と重畳するように形成する第 3 の工程とを含むことを特徴とする液晶表示装置の製造方法。

【請求項 15】 前記第 3 の工程において、前記第 2 の層間絶縁膜として有機絶縁膜又は無機絶縁膜あるいは両絶縁膜の積層膜を形成することを特徴とする請求項 14 記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶表示装置及びその製造方法に係り、詳しくは、同一走査線で駆動される 2 つの駆動素子を有し、互いに極性の異なる画素電圧が 2 つのデータ線から各駆動素子を介して印加される 2 つの画素電極を有する単位画素から構成される液晶表示装置及びその製造方法に関する。

【0002】

【従来の技術】各種の情報機器等のディスプレイ装置として液晶表示装置が広く用いられている。液晶表示装置は、表示すべき単位画素を選択するためにオン、オフのスイッチングを行うスイッチング素子（駆動素子）として動作する TFT（Thin Film Transistor）が形成された TFT 基板（駆動素子基板）と、対向基板との間に液晶が封入された構成を基本としており、複数の単位画素がマトリクス状に配置されている。このような液晶表示装置は、表示方式の違いにより、TN（Twisted Nematic）形と IPS（In-Plane Switching）形とに大別される。

【0003】TN 形の液晶表示装置は、TFT 基板上に形成した画素電極に画素電圧を印加するとともに、対向基板上に形成した共通電極に共通電圧を印加して、これら画素電圧と共通電圧との差電圧により、両基板表面に

対して垂直方向に縦方向電界を発生させて液晶を駆動する。一方、IPS形の液晶表示装置は、一方側の基板であるTFT基板上に画素電極と共通電極との両電極を層間絶縁膜を介して相互に絶縁されるように形成して、両電極に印加した両電圧の差電圧により、両基板表面に対して水平方向に横方向電界を発生させて液晶を駆動する。このような駆動方法において、特にIPS形の液晶表示装置では、両基板表面に沿って液晶分子の長軸が水平に配列されるので、液晶表示装置を観察するとき視角方向を変えても明るさの変化が小さくなるため、広い視野角が得られるという利点を有している。したがって、最近ではIPS形の液晶表示装置が好んで採用される傾向にある。

【0004】図35は、従来のIPS形の液晶表示装置の構成を示す平面図、図36は図35のL-L矢視断面図である。なお、図35及び図36は、一つの単位画素100のみを示している。同液晶表示装置は、図35及び図36に示すように、TFT基板101と対向基板102との間に液晶103が封入され、TFT基板101は、ガラス等から成る第1の透明基板106と、第1の透明基板106の表面に形成された第1の偏光板107と、第1の透明基板106の表面の一部に形成された走査線（ゲートバスライン）108と、第1の透明基板106の表面の他部分に形成された共通電極109と、走査線108及び共通電極109を覆うように形成されてゲート絶縁膜となる層間絶縁膜110と、層間絶縁膜110を介して走査線108の上部に形成された半導体層113と、半導体層113にそれぞれ接続されるように形成されたドレイン電極116及びソース電極117と、ドレイン電極116及びソース電極117と一体に層間絶縁膜110上に形成された画素電極121及びデータ線122と、画素電極121及びデータ線122を覆うように形成されたパッシベーション膜125と、パッシベーション膜125を介して画素電極121及びデータ線122を覆うように形成された第1の配向膜127とを備えている。ここで、走査線108、半導体層113、ドレイン電極116及びソース電極117によりTFT129が構成されている。

【0005】一方、対向基板102は、ガラス等から成る第2の透明基板131と、第2の透明基板131の表面に静電気防止用の導電層132を介して形成された第2の偏光板133と、第2の透明基板131の表面に形成されたブラックマトリクス層134と、ブラックマトリクス層134を覆うカラーフィルタとなる色層135と、ブラックマトリクス層134及び色層135を覆う平坦化膜136と、平坦化膜136上に形成された第2の配向膜137とを備えている。また、符号139は液晶103のラビング方向を示している。

【0006】上述したような液晶表示装置を駆動させるには、従来から、液晶の長寿命化を図る観点から、各単

位画素を構成している画素電極に対して周期的に互いに極性の異なる画素電圧を印加することが行われている。すなわち、図35及び図36において、データ線122からTFT129を介して画素電極121に対して、図37に示すような周期的に互いに極性の異なる画素電圧 V_e を印加することが行われている。同図において、符号 V_c は共通電極109に印加される共通電圧を示し、図示しない走査電圧の印加タイミングで画素電圧 V_e と共通電圧 V_c との差電圧 V_{d1} 、 V_{d2} により液晶103が駆動されて、液晶103はこの駆動電圧に応じた電荷を保持する。

【0007】ここで、上述したように画素電極121に対して周期的に極性の異なる画素電圧 V_e を印加して液晶103を駆動するには、以下に説明するような3つの方法が主として行われている。第1の駆動方法は、図38(a)に示すように、1H(Horizontal)反転駆動方法と称されるもので、画像を構成する画素の画像データを切り換えるときに、1水平線毎に画素の正極性と負極性を反転させる方法である。第2の駆動方法は、図38(b)に示すように、1V(Vertical)反転駆動方法と称されるもので、画素の画像データを切り換えるときに、1垂直線毎に画素の正極性と負極性を反転させる方法である。第3の駆動方法は、図38(c)に示すように、ドット反転駆動方法と称されるもので、画素の画像データを切り換えるときに、1ドット毎に市松模様状に画素の正極性と負極性を反転させる方法である。

【0008】図39は、従来の液晶表示装置の駆動回路を示す図、図40は図39の端子部A及び端子部Bを拡大して示す図である。マトリクス状に配置された画素100の走査線108には走査線駆動回路151が接続されて走査線信号が入力されるとともに、データ線122にはデータ線駆動回路152が接続されてデータ線信号が入力される。また、共通電極配線120には共通電極配線駆動回路153が接続されて共通電位が入力される。

【0009】図40から明らかなように、端子部Aにおいては、データ線122に電位を供給するデータ線端子部122AがそれぞれITO膜122aで覆われている。また、端子部Bにおいては、走査線108に電位を供給する走査線端子部108AがITO膜108aで覆われるとともに、共通電極配線120に電位を供給する共通電極配線端子部120AがITO膜120aで覆われている。

【0010】しかしながら、上述したような従来の液晶表示装置では、表示画面上で同極性の画素のみを表示させるような必要が生じた場合には、フリッカが強く発生して表示画面が見にくくなるという欠点が発生する。例えば、図41(a)に示したように、正極性の画素のみ、あるいは図41(b)に示したように、負極性の画素のみを表示させるように市松模様状に表示させる場合

にはフリッカが強く発生するようになる。この理由は、従来の液晶表示装置では、前述したように互いに極性の異なる画素電圧を印加した複数の画素を同時に表示させて、見かけ上のフリッカを抑制するようにしているためである。この理由は、具体的には、データ線122と画素電極121との間に接続されているTFT129のオン特性と液晶103のデータ電圧保持特性とが、正極性と負極性とを印加する場合で、それぞれ異なるという事情に基づいている。すなわち、図37において、差電圧Vd1、Vd2が等しい場合には問題がないが、実際には上述したような理由により、共通電圧Vcの大きさが変化する。差電圧Vd1、Vd2が異なるようになるため、市松模様状に表示させる場合にはフリッカが強く発生するのが避けられない。

【0011】上述したような、同極性の画素のみを表示させる場合でもフリッカが強く発生するのを抑制するようにした液晶表示装置が、例えば特開2000-235371号公報に開示されている。図42(a)は、同液晶表示装置を示す回路構成図、図42(b)は同液晶表示装置のレイアウト図である。同液晶表示装置は、図42(a)、(b)に示すように、走査線201cと、正のデータ線202c及び副のデータ線202dと、走査線201cと正のデータ線202cとの交点に接続された正のTFT203c及び走査線201cと副のデータ線202dとの交点に接続された副のTFT203dと、対向電極211と正の画素電極204c及び副の画素電極204dとの間にそれぞれ封入されている液晶210c、210dと、共通配線209と正副の画素電極204c、204dとの間にそれぞれ形成されている蓄積電容208c、208dとを備えている。

【0012】上述の構成によれば、例えば図38(a)に示すように、画像を構成する1水平線の画素の画像データを切り換えるときに、単位画素毎に正副の画素電極204c、204dに印加する画素電圧の正極性と負極性とを反転させることにより、単位画素毎に略同一輝度を表示する正極性の画素と負極性の画素とを必ず隣接させることができるので、前述したように表示画面上で同極性の画素のみを表示させる場合でもフリッカが強く発生するのを抑制することができるようになる。

【0013】

【発明が解決しようとする課題】しかしながら、従来の液晶表示装置では、表示画面上で同極性の画素のみを表示させる場合でもフリッカが強く発生するのを抑制することができるものの、単位画素の正副の画素電極にそれぞれ正極性及び負極性の画素電圧を印加する正副の2つのデータ線を平面的に形成しているため、単位画素の開口率が低下する、という問題がある。すなわち、特開2000-235371号公報に記載されている液晶表示装置は、図42(a)、(b)に示したように、正のTFT203cを介して画素電圧を正の画素電極204c

に印加する正のデータ線202cと、副のTFT203dを介して画素電圧を副の画素電極204dに印加する副のデータ線202dとの2つのデータ線を平面的に形成しているため、単位画素内でデータ線が占有する面積が2倍になり、この分だけ光が透過する面積を減少させることになるため、開口率を低下させるようになる。

【0014】特に、IPS形の液晶表示装置では、図35及び図36に示したように、遮光性金属から成る共通電極109及び画素電極121が平面的に配置される構成になっているので、もともと開口率が悪くなっているのに、さらに開口率が低下することは明らかなディスプレイ装置の実現を困難にする。

【0015】この発明は、上述の事情に鑑みてなされたもので、開口率を低下させることなく、表示画面上で同極性の画素のみを表示させる場合でもフリッカが強く発生するのを抑制することができるようにした液晶表示装置及びその製造方法を提供することを目的としている。

【0016】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、駆動素子が形成された駆動素子基板と対向基板との間に液晶が封入され、上記駆動素子は同一走査線で駆動される第1及び第2の駆動素子から成り、互いに極性の異なる画素電圧が第1及び第2のデータ線から上記第1及び第2の駆動素子を介して印加される第1及び第2の画素電極を有する単位画素から構成される液晶表示装置に係り、上記第2のデータ線は、上記第1のデータ線の上層にあって上記第1のデータ線と絶縁膜を介して互いに重畳されるように上記駆動素子基板上に形成されることを特徴としている。

【0017】また、請求項2記載の発明は、請求項1記載の液晶表示装置に係り、上記絶縁膜は、有機絶縁膜又は無機絶縁膜あるいは両絶縁膜の積層膜から成ることを特徴としている。

【0018】また、請求項3記載の発明は、請求項1又は2記載の液晶表示装置に係り、上記第1及び第2の画素電極と、共通電極とが層間絶縁膜を介して相互に絶縁されるように上記駆動素子基板上に形成されることを特徴としている。

【0019】また、請求項4記載の発明は、請求項1、2又は3記載の液晶表示装置に係り、上記第1及び第2の画素電極と、上記第1のデータ線とは同一の層間絶縁膜上に形成されることを特徴としている。

【0020】また、請求項5記載の発明は、請求項1乃至4のいずれか1に記載の液晶表示装置に係り、上記第1及び第2の画素電極と、上記第2のデータ線とは配向膜で覆われることを特徴としている。

【0021】また、請求項6記載の発明は、請求項1乃至5のいずれか1に記載の液晶表示装置に係り、上記第1及び第2のデータ線は、互いに極性の同一の画素電圧を供給するもの同士が重畳されていることを特徴として

いる。

【0022】また、請求項7記載の発明は、請求項6記載の液晶表示装置に係り、上記第1及び第2のデータ線は、それぞれ異なる単位画素の第1及び第2の画素電極に上記画素電圧を供給することと特徴としている。

【0023】また、請求項8記載の発明は、請求項1乃至7のいずれか1に記載の液晶表示装置に係り、上記駆動素子基板に色層が形成されることを特徴としている。

【0024】また、請求項9記載の発明は、請求項3乃至8のいずれか1に記載の液晶表示装置に係り、上記共通電極は配向膜を介して上記液晶と接していることを特徴としている。

【0025】また、請求項10記載の発明は、請求項9記載の液晶表示装置に係り、上記第2のデータ線は、上記第1のデータ線の上層にあって上記第1のデータ線と上記層間絶縁膜を介して互いに重畳されていることを特徴としている。

【0026】また、請求項11記載の発明は、請求項1又は2記載の液晶表示装置に係り、上記第1及び第2の画素電極と共通電極とが、上記第2のデータ線を覆う同一の層間絶縁膜上に形成されることを特徴としている。

【0027】また、請求項12記載の発明は、請求項11記載の液晶表示装置に係り、上記共通電極は上記対向基板上に形成されることを特徴としている。

【0028】また、請求項13記載の発明は、請求項1乃至12のいずれか1に記載の液晶表示装置に係り、上記単位画素は1H反転駆動方法、1V反転駆動方法あるいはドット反転駆動方法により駆動されることを特徴としている。

【0029】また、請求項14記載の発明は、同一走査線で駆動される第1及び第2の駆動素子を有し、互いに極性の異なる画素電圧が第1及び第2のデータ線から上記第1及び第2の駆動素子を介して印加される第1及び第2の画素電極を有する単位画素から構成される液晶表示装置の製造方法に係り、透明基板上に走査線を形成した後該走査線を覆うように第1の層間絶縁膜を形成し、該第1の層間絶縁膜上に半導体層を形成する第1の工程と、上記半導体層にドレイン電極及びソース電極を形成して第1及び第2の駆動素子を形成すると同時に、上記第1の層間絶縁膜上に第1及び第2の画素電極、一方の上記駆動素子の上記ドレイン電極と接続する第1のデータ線を形成する第2の工程と、上記駆動素子を覆うように第2の層間絶縁膜を形成した後該第2の層間絶縁膜にコンタクトホールを形成し、該コンタクトホールを介して他方の上記駆動素子の上記ドレイン電極と接続する第2のデータ線を上記第1のデータ線と重畳するように形成する第3の工程とを含むことを特徴としている。

【0030】また、請求項15記載の発明は、請求項14記載の液晶表示装置の製造方法に係り、上記第3の工程において、上記第2の層間絶縁膜として有機絶縁膜又

は無機絶縁膜あるいは両絶縁膜の積層膜を形成することと特徴としている。

【0031】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的にを行う。

◇第1実施例

図1は、この発明の第1実施例である液晶表示装置の構成を示す平面図、図2は図1のA-A矢視断面図、図3は図2のB-B矢視断面図、図4は同液晶表示装置から第2のデータ線を取り除いた構成を示す平面図、図5は第2のデータ線のパターンを示す平面図、また、図6はデータ線と画素電極との接続関係及び配置関係を概略的に示す図、図7はデータ線から供給される画素電圧の波形を示す図である。この例ではIPS形に適用した例で説明し、一つの単位画素5のみを示している。この例の液晶表示装置は、図1～図5に示すように、TFT基板1と対向基板2との間に液晶3が封入されている。ここで、TFT基板1は、ガラス等から成る第1の透明基板6と、第1の透明基板6の表面に形成された第1の偏光板7と、第1の透明基板6の表面の一部に形成されたアルミニウム(AI)、クロム(Cr)、モリブデン(Mo)等から成りゲートバスラインとなる走査線8と、第1の透明基板6の表面の他部分に形成されたAI、Cr、Mo等から成る共通電極9と、走査線8及び共通電極9を覆うよう形成された酸化シリコン(SiO_x)膜又は窒化シリコン(Si₃N₄)膜、あるいは両膜の積層膜等から成りゲート絶縁膜となる第1の層間絶縁膜10と、第1の層間絶縁膜10を介して走査線8の上部に形成され表面に高濃度n型アモルファスシリコン(n⁺型α-Si)等から成る第1の一對のオーミック層11A、11B及び第2の一對のオーミック層12A、12Bがそれぞれ形成された(α-Si)等から成る第1の半導体層13及び第2の半導体層14と、第1の半導体層13の第1の一對のオーミック層11A、11Bにそれぞれ接続されるように形成されたAI、Cr、Mo等から成る第1のドレイン電極16及び第1のソース電極17と、第2の半導体層14の第2の一對のオーミック層12A、12Bにそれぞれ接続されるように形成されたAI、Cr、Mo等から成る第2のドレイン電極18及び第2のソース電極19と、第1のドレイン電極16及びソース電極17と一体に第1の層間絶縁膜10上に形成されたAI、Mo、Ti(チタン)等から成る第1の画素電極21及び第1のデータ線22と、第2のドレイン電極18及びソース電極19と一体に第1の層間絶縁膜10上に形成されたAI、Mo、Ti等から成る第2の画素電極23と、第1のデータ線22と重畳するようにパッシベーション膜25を介して形成された第2のデータ線24と、第1及び第2の半導体層13、14上のパッシベーション膜25上に形成されたSiO_x膜

又はSiNX膜、両膜の積層膜、あるいは有機膜との組合せ等から成る第2の層間絶縁膜26と、第1及び第2の画素電極21、23及び第2のデータ線24を覆うように形成された第1の配向膜27とを備えている。

【0032】一方、対向基板2は、ガラス等から成る第2の透明基板31と、第2の透明基板31の表面に静電気防止用の導電層32を介して形成された第2の偏光板33と、第2の透明基板33の表面に形成されたブラックマトリクス層34と、ブラックマトリクス層34を覆いカラーフィルタとなる色層35と、ブラックマトリクス層34及び色層35を覆う平坦化膜36と、平坦化膜36上に形成された第2の配向膜37とを備えている。

また、符号39は液晶3のラビング方向を示している。

【0033】上述したような構成において、走査線8、第1の半導体層13、第1のドレイン電極16及び第1のソース電極17により第1のTFT29が構成されるとともに、走査線8、第2の半導体層14、第2のドレイン電極18及び第2のソース電極19により第2のTFT30が構成されて、両TFT29、30は第1の層間絶縁膜10を介して共通の走査線8上に形成されることにより、同一走査線8で駆動される。第1及び第2のデータ線22、24は、互いに相似パターンに形成されているが、第1のデータ線22は近接している第1のTFT29の第1のドレイン電極16に接続されている。一方、第2のデータ線24は図5に示したようなパターンに形成されて、パッシベーション膜25及び第2の層間絶縁膜26に形成されたコンタクトホール28を介して、第1のTFT29の外側の第2のTFT30の第2のドレイン電極18に接続されている。このような接続関係により、第1のデータ線22から供給される画素電圧は第1のTFT29を介して第1の画素電極21に印加される。一方、第2のデータ線24から供給される画素電圧は第2のTFT30を介して第2の画素電極23に印加される。図6は、第1及び第2の画素電極21、23に対する第1及び第2のデータ線22、24の接続関係及び配置関係を概略的に示している。

【0034】次に、図7の信号電圧波形を参照して、この例の液晶表示装置の駆動方法について説明する。図7において、符号 V_{e1} は第1のデータ線22から供給される第1の画素電圧の波形を、符号 V_{e2} は第2のデータ線24から供給される第2の画素電圧の波形を示している。また、符号 V_c は共通電圧を示している。第1の画素電圧 V_{e1} は、共通電圧 V_c を基準軸として時刻 t_1 で正方向に V_1 の大きさに、時刻 t_2 で正方向に V_2 の大きさに、時刻 t_3 で正方向に V_3 の大きさに変化する。一方、第2の画素電圧 V_{e2} は、第1の画素電圧 V_{e1} とは互いに極性が異なるように、共通電圧 V_c を基準軸として時刻 t_1 で負方向に $-V_1$ の大きさに、時刻 t_2 で負方向に $-V_2$ の大きさに、時刻 t_3 で負方向に $-V_3$ の大きさに変化する。そして、第1のデ-

ータ線22から第1の画素電圧 V_{e1} を第1のTFT29を介して第1の画素電極21に印加すると同時に、第2のデータ線24から第2の画素電圧 V_{e2} を第2のTFT30を介して第2の画素電極23に印加する。これにより、第1及び第2の画素電極21、23には常に極性が異なる画素電圧が印加されて、液晶3は画素電圧に応じた電荷を保持する。

【0035】このように、単位画素毎に第1及び第2の画素電極21、23に印加する画素電圧の正極性と負極性とを反転させることにより、単位画素毎に略同一輝度を表示する正極性の画素と負極性の画素とを必ず隣接させることができるので、表示画面上で同極性の画素のみを表示させる場合でもフリッカが強く発生するのを抑制することができる。この効果は、前述したいずれの駆動方法によっても得ることができる。しかも、この例の液晶表示装置によれば、第1及び第2の画素電圧 V_{e1} 、 V_{e2} を供給する第1及び第2のデータ線22、24は、パッシベーション膜25を介して重畳されるように形成されているので、単位画素内でデータ線が占有する面積を1つのデータ線の場合と幅変化がないように抑えることができるため、開口率が低下することはない。特に、この例のようにIPS形の液晶表示装置では、第1及び第2の画素電極21、23及び共通電極9がAl、Cr、Mo、Ti等の透光性金属により構成されているため、もともと開口率が悪くなっているため、大きな効果が得られる。

【0036】ここで、第1の配向膜27を介して液晶3と対向している第1及び第2の画素電極21、23及び第2のデータ線24は、第1の配向膜27の膜厚が略50nmと薄いため、液晶3の影響を受けて溶解することがないような安定した金属を選択することが必要になる。この点で、前述したようなAl、Mo、Ti等の金属あるいはこれらの組み合わせはその要求を満足することができる。また、第1及び第2のデータ線22、24の重畳する面積に比例して、両データ線22、24から供給される画素電圧が歪み易いので、いずれか一方の線幅を小さくすることが望ましい。また、このためには、第2のデータ線24としてこの配線抵抗が第1のデータ線22のそれよりも小さくなるような金属を用いることが望ましい。さらに、そのためには、第1及び第2のデータ線22、24間に用いるパッシベーション膜25としては、膜厚を厚く形成し、あるいは誘電率の小さい有機材料から成る絶縁膜もしくはその積層膜を選択することが望ましい。このパッシベーション膜25は、表1、表2及び表3に示したように、(1)無機膜のみにより、(2)無機膜と有機膜との積層により、あるいは(3)有機膜のみにより構成することができる。

【0037】

【表1】

	材 料	膜 厚	透 透 率
(1) 無機膜のみの場合	SiN _x (窒化シリコン膜)	1~3 μm	6.4
	SiN _x /	1 μm/	6.4/
	SiO ₂ (酸化シリコン膜)	0.5 μm	4.0
	有機膜のみの膜	1~2 μm	4.5
	SiN _x /	0.15 μm/	6.4/
	無機膜のみの膜	1~2 μm	4.5

成膜方法	形状加工方法
プラズマCVD法	フォトリソグラフィ法に依る
プラズマCVD法/	フォトリソグラフィ法に依る
スパッタ法	
スピコート法	フォトリソグラフィ法に依る
プラズマCVD法/	フォトリソグラフィ法に依る
スピコート法	

【0038】

【表2】

	材 料	膜 厚	透 透 率
(2) 無機膜/有機膜 積層の場合	SiN _x /	0.15 μm/	6.4/
	感光性レジスト型膜	1~2 μm	3.3
	SiN _x /	0.15 μm/	6.4/
	感光性レジスト型膜	1~2 μm	

成膜方法	形状加工方法
プラズマCVD法/	感光性レジスト型膜は露光現像で
スピコート	レジスト形成後焼成/SiN _x はドライエッチ
プラズマCVD法/	感光性レジスト型膜は露光現像で
スピコート	レジスト形成後焼成/SiN _x はドライエッチ

【0039】

【表3】

	材 料	膜 厚	透 透 率
(3) 有機膜のみの場合	BCD(ポリイミド)膜	1~2 μm	4.5
	有機膜のみの膜	1~2 μm	3.8
	シロキサン膜	1~2 μm	

成膜方法	形状加工方法
スピコート法	フォトリソグラフィ法に依る
スピコート法	フォトリソグラフィ法に依る
スピコート法	フォトリソグラフィ法に依る

【0040】また、この例のIPS形の液晶表示装置のように、第1及び第2の画素電極21、23及び共通電極9によって横方向電界を発生させる場合、この横方向電界が液晶3に加わり易くするために、図2に示したように、第1及び第2の画素電極21、23の表面にはバ

ッシベーション膜25を存在させない、あるいは存在させる場合でもその膜厚は薄く形成することが望ましい。

【0041】このように、この例の液晶表示装置の構成によれば、第1及び第2のTFT29、30を介して互いに極性の異なる画素電圧を第1及び第2の画素電極2

1、23に印加する第1及び第2のデータ線22、24は、パッシベーション膜25を介して重畳されるように形成されているので、単位画素内で両データ線22、24が占有する面積を1つのデータ線の場合と恒変化がないように抑えることができる。したがって、開口率を低下させることなく、表示画面上で同極性の画素のみを表示させる場合でもフリッカが強く発生するのを抑制することができる。

【0042】◇第2実施例

図8は、この発明の第2実施例である液晶表示装置の構成を示す平面図、図9は図8のC-C矢視断面図、図10は同液晶表示装置から第2のデータ線を取り除いた構成を示す平面図、図11は第2のデータ線のパターンを示す平面図、図12はデータ線と画素電極との接続関係及び配置関係を概略的に示す図である。この発明の第2実施例である液晶表示装置の構成が、上述した第1実施例の構成と大きく異なるところは、2つの画素電極に対する2つのデータ線の接続関係を維持したままで、両データ線の配置関係を変更するようにした点である。すなわち、この例の液晶表示装置は、図8～図11に示すように、第1実施例で用いられた第2のデータ線24とは異なるパターンに形成された第2のデータ線44を用いて、一の単位画素の第1の画素電極21には第1のTFT29を介してこの単位画素の第1のデータ線22が接続されるように構成される一方、第2の画素電極23には第2のTFT30を介して隣接する単位画素の第2のデータ線44が接続されるように構成されている。図12は、この例における、第1及び第2の画素電極21、23に対する第1及び第2のデータ線22、44の接続関係及び配置関係を概略的に示している。

【0043】この例によれば、図12から明らかなように、一の単位画素の第1の画素電極21に第1の画素電圧を印加する第1のデータ線22と、隣接する単位画素の第2の画素電極23に第1の画素電圧と互いに極性の異なる第2の画素電圧を印加する第2のデータ線44とが、パッシベーション膜25を介して重畳するように配置されているので、重畳している第1のデータ線22と第2のデータ線44の画素電圧の極性を同一にできる。この結果、両データ線22、44同士が互いの電位へ与える影響を少なくすることができる。これ以外は、上述した第1実施例と略同様である。それゆえ、図8～図10において、図1～図4の構成部分と対応する各部には、同一の番号を付してその説明を省略する。

【0044】このように、この例の構成によっても、第1実施例において述べたのと略同様の効果を得ることができる。加えて、この例の構成によれば、2つのデータ線同士が互いの電位へ与える影響を少なくすることができる。

【0045】◇第3実施例

図13は、この発明の第3実施例である液晶表示装置の

構成を示す平面図、図14は図13のD-D矢視断面図、図15は図13のE-E矢視断面図、また、図16～図20は同液晶表示装置の製造方法を工程順に示す工程図、図21は同液晶表示装置の駆動回路を示す図、図22は図21の端子部A及び端子部Bを拡大して示す図、図23～図25は同液晶表示装置の他の製造方法を工程順に示す工程図である。この発明の第3実施例である液晶表示装置の構成が、上述した第1実施例の構成と大きく異なるところは、第1及び第2のデータ線を覆うように共通電極を配置し、かつ共通電極と画素電極とを同一層で同一工程で形成するようにした点である。すなわち、この例の液晶表示装置は、図13～図15に示すように、第1及び第2の画素電極21、23及び第2のデータ線24を覆うように第2のパッシベーション膜40が形成され、第2のパッシベーション膜40上には第2の層間絶縁膜26及び第3の層間絶縁膜42が形成されて、第3の層間絶縁膜42上にはITO (Indium-Tin-Oxide) から成る第1及び第2の画素電極41、43及び共通電極9が形成されている。また、第1の画素電極41は、パッシベーション膜25、第2の層間絶縁膜26に形成されたコンタクトホール38を介して第1のソース電極17に接続されている。また、第2の画素電極43は、パッシベーション膜25、第2、第3の層間絶縁膜26、42に形成されたコンタクトホールを介して第2のソース電極19に接続されている。

【0046】この例によれば、図14から明らかなように、第1の画素電極21、41及び第2の画素電極23、43及び共通電極9によって横方向電界を発生させる場合、第1の配向膜27を介して液晶3に近い位置に第1及び第2の画素電極41、43及び共通電極9が形成されているので、横方向電界を液晶3に加わり易くすることができ、低駆動電圧化を図ることができる。また、データ線からの漏れ電界を最上層に形成された共通電極9でシールドすることができるので、ブラックマトリクス層34の面積を縮小させることが可能となり、さらなる開口率の向上を図ることができる。

【0047】次に、図16～図20を参照して、この例の液晶表示装置の製造方法を工程順に説明する。なお、以下の工程において、M-M、N-N及びO-Oはそれぞれ図22に示した対応部分の断面図を示している。まず、図16(a)に示すように、ガラス等から成る第1の透明基板6を用いて、スパッタ法により全面にCr膜を形成した後、ウエッドエッチング法によりCr膜を所望の形状にパターニングして、走査線8及び共通電極9を形成する。

【0048】次に、図16(b)に示すように、CVD法により全面にゲート絶縁膜となるSiO₂膜とSi₃N₄膜との積層膜から成る第1の層間絶縁膜10を形成する。次に、図16(c)に示すように、P (Plasma) - CVD法により全面に(a-Si)膜12及び(n⁺型

α-Si) 膜15を順次に形成する。

【0049】次に、図16(d)に示すように、ドライエッチング法により両膜12、15を所望の形状にパターニングして第2の半導体層14を形成する。次に、図16(e)に示すように、スパッタ法により全面にCr層を形成した後、ドライエッチング法によりCr層を所望の形状にパターニングして第2のドレイン電極18及びソース電極19、第1及び第2の画素電極21、23、第1のデータ線22を形成する。なお、図示において右側の第1のデータ線22は隣接する単位画素のものである。次に、図16(f)に示すように、ドライエッチング法により第1の半導体層14を選択的にエッチングしてチャネル掘り込み20を形成する。以上により、第2のTFT30が形成される。なお、図示は省略しているが、第1の透明基板6上の他の位置には第1のTFT29が形成される。

【0050】次に、図17(e)に示すように、CVD法により全面にパッシベーション膜となるSi₃N₄膜45を形成する。次に、図17(h)に示すように、スピコート法により全面に第2の層間絶縁膜となる感光性の有機絶縁膜46を形成する。次に、図17(i)に示すように、有機絶縁膜46を露光、現像処理して、コンタクトホール28A、38Aを形成する。次に、図18(j)に示すように、ドライエッチング法によりSi₃N₄膜45にコンタクトホール28B、38Bを形成する。以上により、各コンタクトホール28A、28Bがつながってコンタクトホール28が形成される。

【0051】次に、図18(k)に示すように、スパッタ法により全面にMo膜を形成した後、ウェットエッチング法によりMo膜を所望の形状にパターニングして、第2のTFT30のドレイン電極18に接続されるように第2のデータ線24を形成する。次に、図19(l)に示すように、スピコート法により全面に第3の層間絶縁膜となる感光性の有機絶縁膜47を形成した後、図19(m)に示すように、有機絶縁膜47を露光、現像処理してコンタクトホール38Cを形成する。以上により、各コンタクトホール38A、38B、38Cがつながってコンタクトホール38が形成される。また、有機絶縁膜46、47によりそれぞれ第2の層間絶縁膜26及び第3の層間絶縁膜42が形成される。

【0052】次に、図20(n)に示すように、スパッタ法により全面にITO膜を形成した後、ウェットエッチング法によりITO膜を所望の形状にパターニングして、第1及び第2の画素電極41、43及び共通電極9を形成する。以上により、この例の液晶表示装置の主要部が形成される。以上のような液晶表示装置の製造方法によれば、周知の導電膜及び絶縁膜を含む薄膜形成手段、及び周知の薄膜パターニング手段を組み合わせたことで、コストアップを伴うことなく液晶表示装置を容易に製造することができる。

【0053】図21は、この例の液晶表示装置の駆動回路を示す図、図22は図21の端子部A及び端子部Bを拡大して示す図である。マトリクス状に配置された単位画素5の走査線8には走査線駆動回路51が接続されて走査線信号が入力されるとともに、第1及び第2のデータ線22、24にはデータ線駆動回路52が接続されて互いに極性の異なるデータ線信号が入力される。また、共通電極配線4には共通電極配線駆動回路53が接続されて共通電位が入力される。

【0054】図22から明らかなように、端子部Aには、一の単位画素の第1及び第2のデータ線22、24の第1及び第2のデータ線端子部22A、24A及び隣接する単位画素の第1及び第2のデータ線22、24(図示右側)の第1及び第2のデータ線端子部22A、24Aが接続されている。そして、第1及び第2のデータ線端子部22A、24Aには、それぞれITOで被覆された第1及び第2のデータ線端子部22a、24a、コンタクトホール部を有する第1及び第2のデータ線端子部22b、24bが設けられている。

【0055】また、図22から明らかなように、端子部Bには、走査線8の走査線端子部8Aと共通電極配線4の共通電極配線端子部4Aとを一對として、二対の構成が接続されている。そして、走査線端子部8AにはITOで被覆された走査線端子部8a及びコンタクトホール部を有する走査線端子部8bが設けられるとともに、共通電極配線端子部4AにはITOで被覆された共通電極配線端子部4a及びコンタクトホール部を有する共通電極配線端子部4bが設けられている。

【0056】次に、図23～図25を参照して、無機膜と有機膜の積層膜により第2の層間絶縁膜を構成する場合のこの例の液晶表示装置の製造方法を工程順に説明する。なお、以下の工程において、M-M、N-N及びO-Oはそれぞれ図22に示した対応部分の断面図を示している。まず、図23(a)に示すように、ガラス等から成る第1の透明基板6を用いて、スパッタ法により全面にCr膜を形成した後、ウェットエッチング法によりCr膜を所望の形状にパターニングして、走査線端子部8A及び共通電極配線端子部4Aを形成する。

【0057】次に、図23(b)に示すように、CVD法により全面にゲート絶縁膜となるSiO₂膜とSi₃N₄膜との積層膜から成る第1の層間絶縁膜10を形成する。次に、図23(c)に示すように、P-CVD法により全面に(α-Si)膜12及び(n型α-Si)膜15を順次に形成する。

【0058】次に、図23(d)に示すように、ドライエッチング法により両膜12、15を除去した後、ドライエッチング法によりCr層を所望の形状にパターニングして第1のデータ線22を形成する。次に、図23(e)に示すように、CVD法により全面にパッシベーション膜となるSi₃N₄膜45を形成する。

【0059】次に、図23(f)に示すように、スパインコート法により全面に第2の層間絶縁膜となる感光性の有機絶縁膜46を形成する。次に、図24(e)に示すように、有機絶縁膜46を露光、現像処理して、コンタクトホール55A、56A、57Aを形成する。次に、図24(h)に示すように、ドライエッチング法によりS i N X膜45にコンタクトホール55B、56B、57Bを形成する。

【0060】次に、図25(i)に示すように、スパッタ法により全面にMo膜を形成した後、ウェットエッチング法によりMo膜を所望の形状にパターニングして、第2のTFT30のドレイン電極18に接続されるように第2のデータ線24を形成する。次に、図25(j)に示すように、スパインコート法により全面に第3の層間絶縁膜となる感光性の有機絶縁膜47を形成した後、図25(k)に示すように、有機絶縁膜47を露光、現像処理してコンタクトホール55C、56C、57Cを形成する。以上により、各コンタクトホール55A~55C、56A~56C、57A~57Cがつながって、コンタクトホール55、56、57が形成される。

【0061】次に、図25(l)に示すように、スパッタ法により全面にITO膜を形成した後、ウェットエッチング法によりITO膜を所望の形状にパターニングして、それぞれITOで被覆された走査線端子部8a、共通電極配線端子部4a、第1のデータ線端子部22a及び第2のデータ線端子部24aを形成する。以上により、この例の液晶表示装置の端子部A、端子部Bが形成される。

【0062】このように、この例の構成によっても、第1実施例において述べたのと略同様の効果を得ることができる。加えて、この例の構成によれば、液晶に近い位置に第1及び第2の画素電極及び共通電極が形成されているので、横方向電界を液晶に加わり易くすることができ、低駆動電圧化を図ることができる。加えて、この例の構成によれば、データ線からの漏れ電界を最上層に形成された共通電極でシールドすることができるので、ブラックマトリクス層の面積を縮小させることが可能となり、さらなる開口率の向上を図ることができる。さらに、加えて、この例における液晶表示装置の製造方法によれば、コストアップを伴うことなく液晶表示装置を容易に製造することができる。

【0063】◇第4実施例

図26は、この発明の第4実施例である液晶表示装置の構成を示す平面図、図27は図26のF-F矢視断面図、図28は図26のG-G矢視断面図である。この発明の第4実施例である液晶表示装置の構成が、上述した第1実施例の構成と大きく異なるところは、2つの画素電極を覆うようにパッシベーション膜を存在させるようにした点である。すなわち、この例の液晶表示装置は、図27に示すように、第1のデータ線22の表面だけで

なく第1及び第2の画素電極21、23の表面にもパッシベーション膜25が形成されている。

【0064】この例によれば、第1及び第2の画素電極21、23は第1のデータ線22と同様に膜厚の厚いパッシベーション膜25で覆われているので、液晶3の影響を受けることが少なくなる。したがって、第1及び第2の画素電極21、23の金属としては、前述したようなAl、Mo、Ti等の液晶2に対して安定な金属に制約されずに、液晶3の影響を受け易いと言われているCr等の金属も用いることができる。したがって、画素電極として用いる金属の選択の範囲を広げることができるようになる。

【0065】このように、この例の構成によっても、第1実施例において述べたのと略同様の効果を得ることができる。加えて、この例の構成によれば、画素電極として用いる金属の選択の範囲を広げることができる。

【0066】◇第5実施例

図29は、この発明の第5実施例である液晶表示装置の構成を示す平面図、図30は図29のH-H矢視断面図、図31は図29のI-I矢視断面図である。この発明の第5実施例である液晶表示装置の構成が、上述した第1実施例の構成と大きく異なるところは、TFT基板に色層を形成するようにした点である。すなわち、この例の液晶表示装置は、図30に示すように、TFT基板1上の第1及び第2の画素電極21、23、第1のデータ線22を覆っているパッシベーション膜25上の略中央部には青色層35Bが、この青色層35Bの両側位置にはそれぞれ緑色層35G、赤色層35Rが形成されて、各色層の境界部にはブラックマトリクス層34が形成されている。ブラックマトリクス層34及び各色層35G、35B、35Rを覆うように平坦化膜36が形成されて、平坦化膜36上には第1のデータ線22と重畳するように第2のデータ線24が形成されている。

【0067】この例によれば、色層及びブラックマトリクス層を形成したTFT基板1に平坦化膜36を介して第1及び第2のデータ線22、24を重ねさせるようにしたので、色層及びブラックマトリクス層を対向基板2側に形成されている構成に比較して、両基板1、2間に液晶3を封入して液晶表示装置を製造する場合に、両基板1、2のずれを考慮した重ね合わせマージンをとる必要がなくなるので、より開口率を高めることが可能となる。

【0068】このように、この例の構成によっても、第1実施例において述べたのと略同様の効果を得ることができる。加えて、この例の構成によれば、より開口率を高めることが可能となる。

【0069】◇第6実施例

図32は、この発明の第6実施例である液晶表示装置の構成を示す平面図、図33は図32のJ-J矢視断面図、図34は図32のK-K矢視断面図である。この発

明の第6実施例である液晶表示装置の構成が、上述した第1実施例の構成と大きく異なるところは、TN形の液晶表示装置に適用するようにした点である。すなわち、この例の液晶表示装置は、図32～図34に示すように、TFT基板1上の第1の層間絶縁膜10上に形成された第1のデータ線22は第1のTFT29を介して第1の画素電極21に接続されるとともに、パッシベーション25を介して第1のデータ線22と重畳するように形成された第2のデータ線24は第2のTFT30を介して第2の画素電極23に接続されている。また、第2のデータ線24を覆うように第1の配向膜27が形成されている。

【0070】一方、対向基板2上の平坦化膜36上にはITOから成る共通電極9が形成され、共通電極9を覆うように第2の配向膜37が形成されている。これ以外は、上述した第1実施例と略同様である。それゆえ、図32～図34において、図1～図4の構成部分と対応する各部には、同一の番号を付してその説明を省略する。

【0071】この例によれば、IPS形に比較して開口率に優れているTN形の液晶表示装置に適用して、TFT基板1上でパッシベーション膜25を介して第1及び第2のデータ線22、24を重畳させるようにしたので、開口率をより向上させることができるようになる。

【0072】このように、この例の構成によっても、第1実施例において述べたのと略同様の効果を得ることができる。加えて、この例の構成によれば、TN形の液晶表示装置に適用したので開口率をより向上させることができる。

【0073】以上、この発明の実施例を図面により詳しく述べてきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更などがあってもこの発明に含まれる。例えば、実施例では表示すべき単位画素を選択するための駆動素子としてはTFTを用いる例で説明したが、駆動素子はTFTに限ることなくMI-M(Metal Insulator Metal)型素子、ダイオード型素子、バリス型素子等の二端子素子を用いてもよい。また、実施例では駆動素子基板としてはガラス等の透明基板を用いる透明型の液晶表示装置の例で説明したが、駆動素子基板は透明基板に限ることなく多結晶シリコン等の不透明基板を用いてもよい。この場合には、液晶表示装置は反射型となり、画素電極が反射板を兼ねた反射電極として動作することになる。また、第1及び第2のデータ線間に形成するパッシベーション膜の絶縁膜材料、膜厚等の条件は一例を示したものであり、目的、要件等に応じて変更が可能である。

【0074】

【発明の効果】以上説明したように、この発明の液晶表示装置の構成によれば、第1及び第2のTFTを介して互いに極性の異なる画素電圧を第1及び第2の画素電極に印加する第1及び第2のデータ線は、絶縁膜を介して

重畳されるように形成されているので、単位画素内でデータ線が占有する面積を1つのデータ線の場合と幅変化がないように抑えることができる。また、この発明の液晶表示装置の製造方法の構成によれば、周知の薄膜形成手段、及び周知の薄膜パターンニング手段を組み合わせることで、コストアップを伴うことなく液晶表示装置を容易に製造することができる。したがって、開口率を低下させることなく、表示画面上で同極性の画素のみを表示させる場合でもフリッカが強く発生するのを抑制することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例である液晶表示装置の構成を示す平面図である。

【図2】図1のA-A矢視断面図である。

【図3】図1のB-B矢視断面図である。

【図4】同液晶表示装置から第2のデータ線を取り除いた構成を示す平面図である。

【図5】同液晶表示装置の第2のデータ線のパターンを示す平面図である。

【図6】同液晶表示装置のデータ線と画素電極との接続関係及び配置関係を概略的に示す図である。

【図7】同液晶表示装置のデータ線から供給される画素電圧の波形を示す図である。

【図8】この発明の第2実施例である液晶表示装置の構成を示す平面図である。

【図9】図8のC-C矢視断面図である。

【図10】同液晶表示装置から第2のデータ線を取り除いた構成を示す平面図である。

【図11】同液晶表示装置の第2のデータ線のパターンを示す平面図である。

【図12】同液晶表示装置のデータ線と画素電極との接続関係及び配置関係を概略的に示す図である。

【図13】この発明の第3実施例である液晶表示装置の構成を示す平面図である。

【図14】図13のD-D矢視断面図である。

【図15】図13のE-E矢視断面図である。

【図16】同液晶表示装置の製造方法を工程順に示す工程図である。

【図17】同液晶表示装置の製造方法を工程順に示す工程図である。

【図18】同液晶表示装置の製造方法を工程順に示す工程図である。

【図19】同液晶表示装置の製造方法を工程順に示す工程図である。

【図20】同液晶表示装置の製造方法を工程順に示す工程図である。

【図21】同液晶表示装置の駆動回路を示す図である。

【図22】同駆動回路の端子部A及び端子部Bを拡大して示す図である。

【図23】同液晶表示装置の他の製造方法を工程順に示す

す工程図である。

【図24】同液晶表示装置の他の製造方法を工程順に示す工程図である。

【図25】同液晶表示装置の他の製造方法を工程順に示す工程図である。

【図26】この発明の第4実施例である液晶表示装置の構成を示す平面図である。

【図27】図26のF-F矢視断面図である。

【図28】図26のG-G矢視断面図である。

【図29】この発明の第5実施例である液晶表示装置の構成を示す平面図である。

【図30】図29のH-H矢視断面図である。

【図31】図26のI-I矢視断面図である。

【図32】この発明の第6実施例である液晶表示装置の構成を示す平面図である。

【図33】図32のJ-J矢視断面図である。

【図34】図32のK-K矢視断面図である。

【図35】従来の液晶表示装置の構成を示す平面図である。

【図36】図35のL-L矢視断面図である。

【図37】液晶表示装置の駆動に用いる信号波形を示す図である。

【図38】液晶表示装置の駆動方法を説明する図である。

【図39】従来の液晶表示装置の駆動回路を示す図である。

【図40】同駆動回路の端子部A及び端子部Bを拡大して示す図である。

【図41】従来の液晶表示装置の欠点を説明する図である。

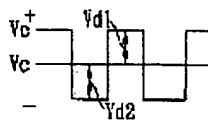
【図42】従来の液晶表示装置の構成を示す図である。

【符号の説明】

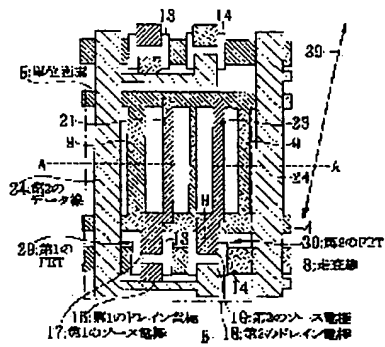
- 1 TFT基板
- 2 対向基板
- 3 液晶
- 4 共通電極配線
- 4A 共通電極配線端子部
- 4a ITOで被覆された共通電極配線端子部
- 4b コンタクトホール部を有する共通電極配線端子部
- 5 単位画素
- 6、31 透明基板

- 7、33 偏光板
- 8 走査線（ゲートバスライン）
- 8A 走査線端子部
- 8a ITOで被覆された走査線端子部
- 8b コンタクトホール部を有する走査線端子部
- 9 共通電極
- 10、26、42 層間絶縁膜
- 12 (α-Si)膜
- 11A、11B 第1の一對のオーミック層
- 12A、12B 第2の一對のオーミック層
- 13、14 半導体層
- 15 (n型α-Si)膜
- 16、18 ドレイン電極
- 17、19 ソース電極
- 20 チャンネル掘り込み
- 21、23、41、43 画素電極
- 22、24、44 データ線
- 22A 第1のデータ線端子部
- 22a ITOで被覆された第1のデータ線端子部
- 22b コンタクトホール部を有する第1のデータ線端子部
- 24A 第2のデータ線端子部
- 24a ITOで被覆された第2のデータ線端子部
- 24b コンタクトホール部を有する第2のデータ線端子部
- 25、40 パッシベーション膜
- 27、37 配向膜
- 28、28A、28B、38、38A~38C、55、55A~55C、56A~56C、57A~57C
コンタクトホール
- 29、30 TFT（駆動素子）
- 32 塔電層
- 34 ブラックマトリクス層
- 35 色層
- 36 平坦化膜
- 39 ラビング方向
- 45 SiNx膜
- 46 有機絶縁膜
- 47 有機絶縁膜
- 51 走査線駆動回路
- 52 データ線駆動回路
- 53 共通電極配線駆動回路

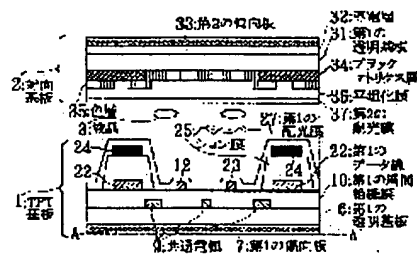
【図37】



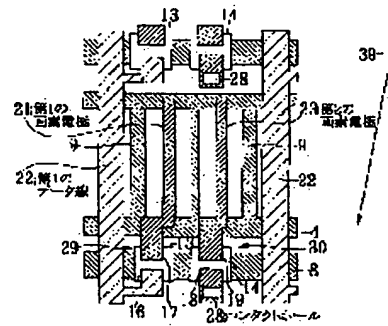
【図 1】



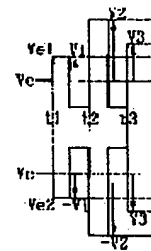
【図 2】



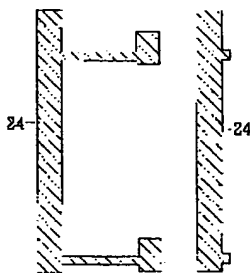
【図 4】



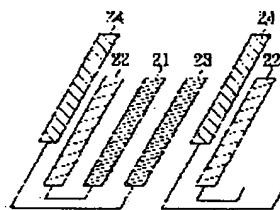
【図 7】



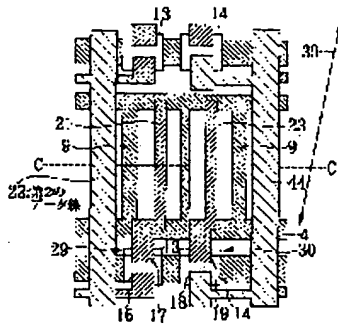
【図 5】



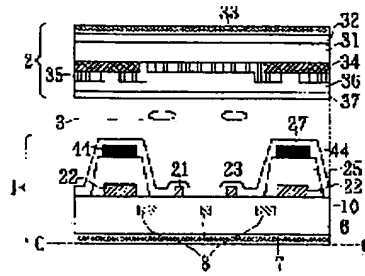
【図 6】



【図 8】

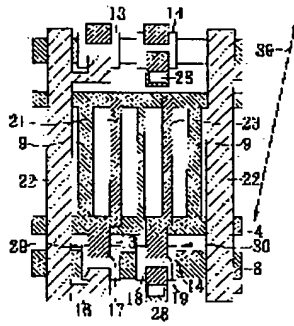


【図 9】

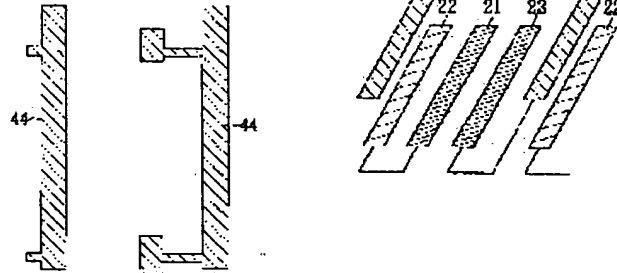


【図 12】

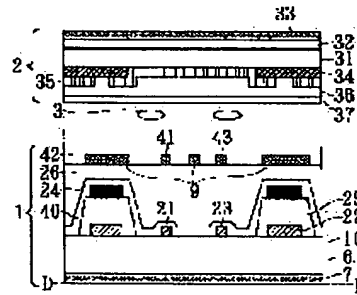
【図 10】



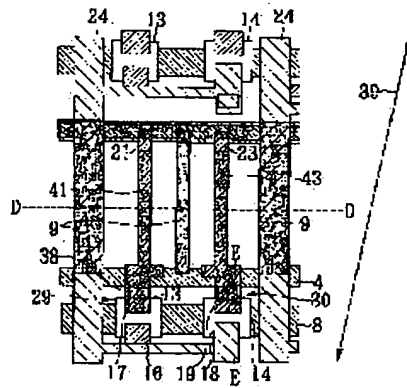
【図 11】



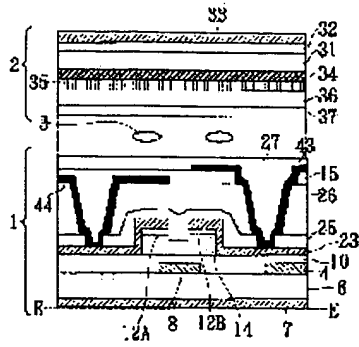
【図 14】



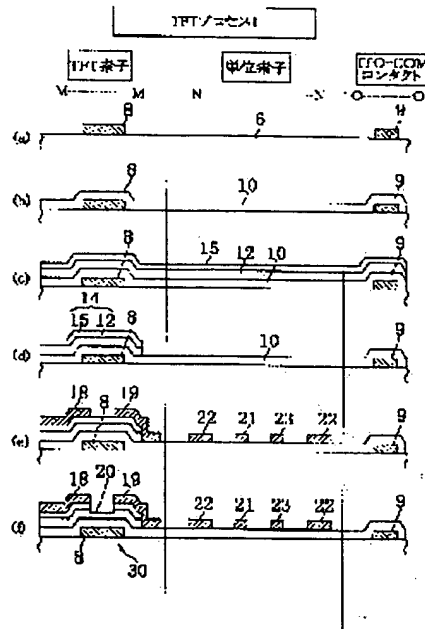
【図 13】



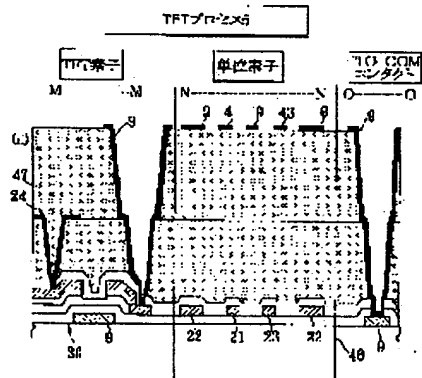
【図15】



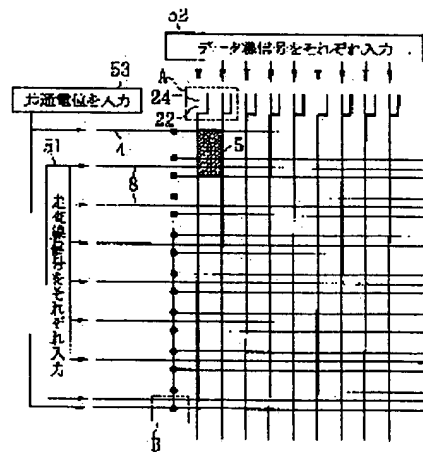
【図16】



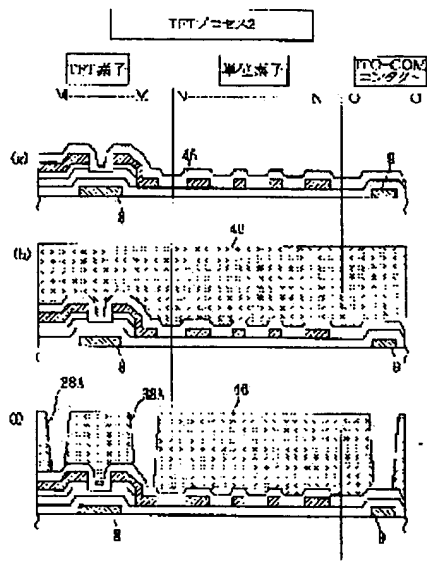
【図20】



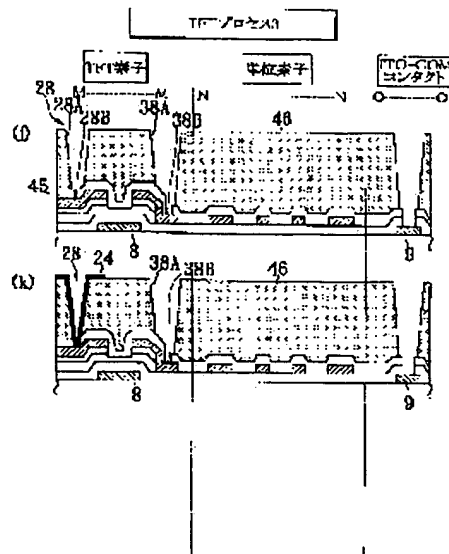
【図21】



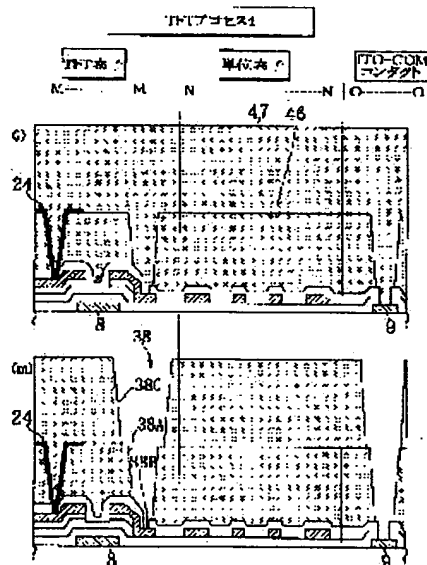
【図17】



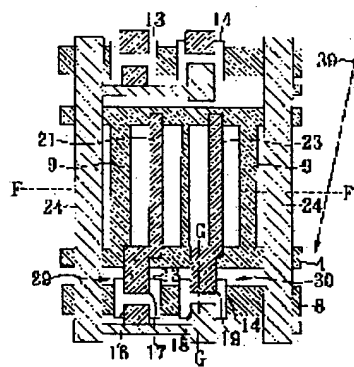
【図18】



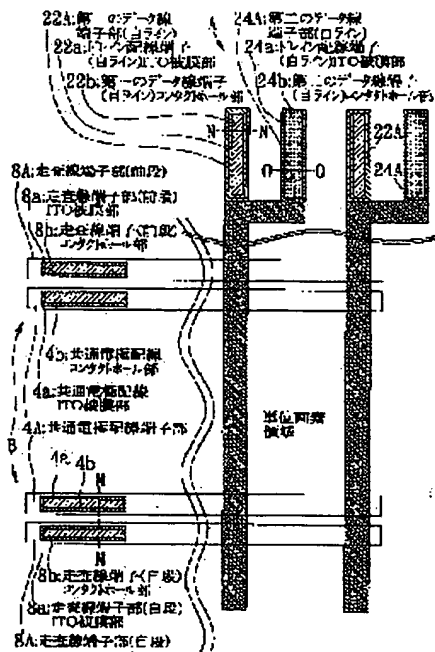
【図19】



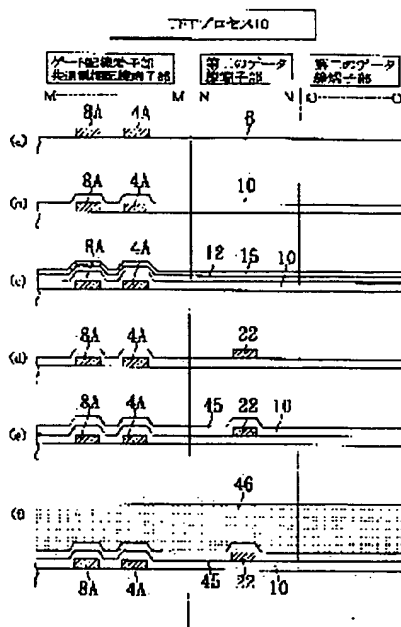
【図26】



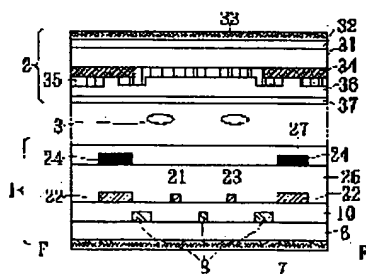
【図22】



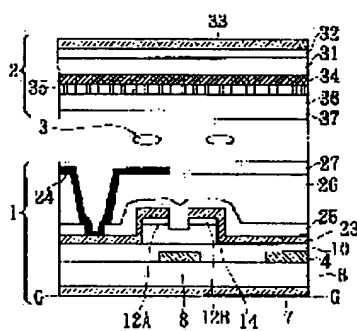
【図23】



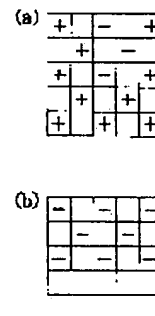
【図27】



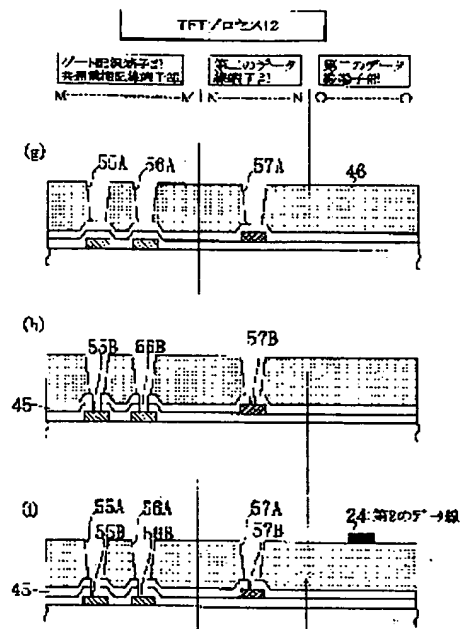
【図28】



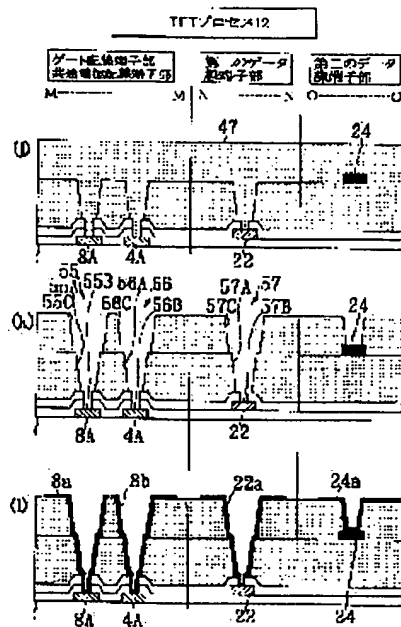
【図41】



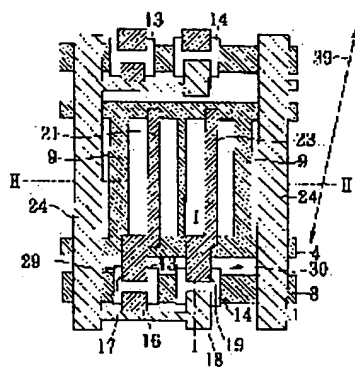
【図24】



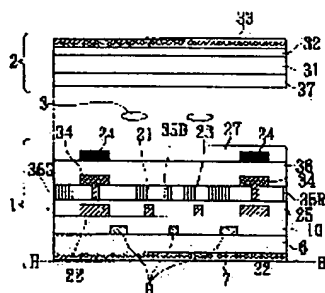
【図25】



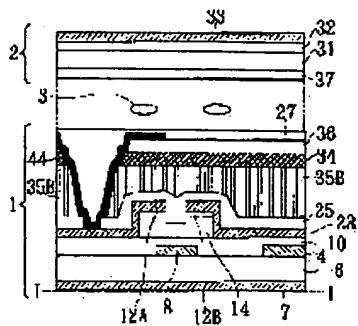
【図29】



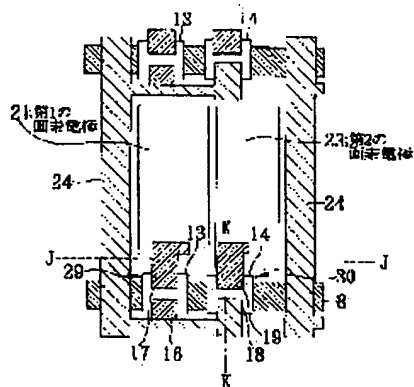
【図30】



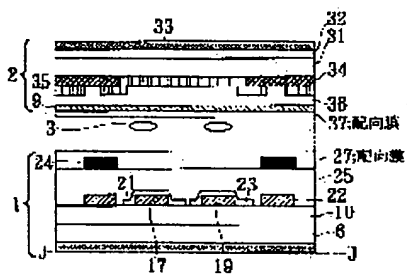
【図31】



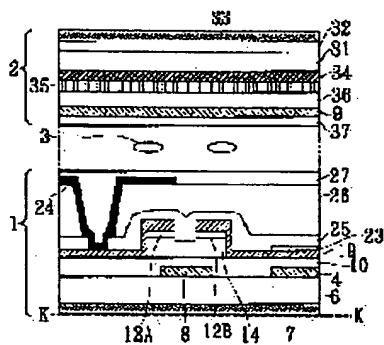
【図32】



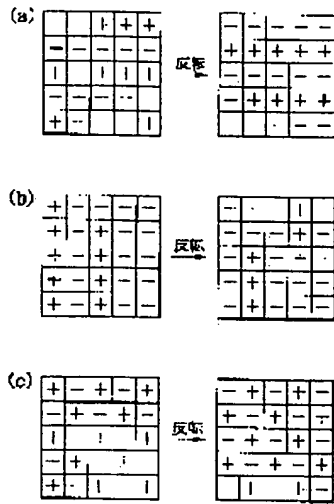
【図33】



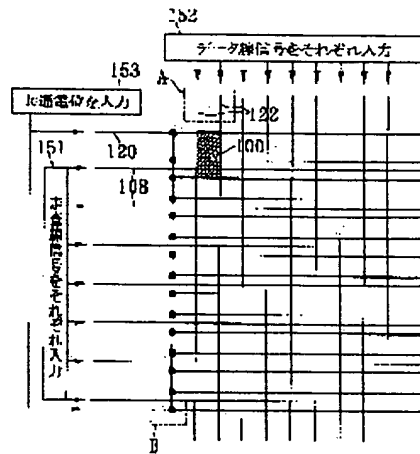
【図34】



【図38】

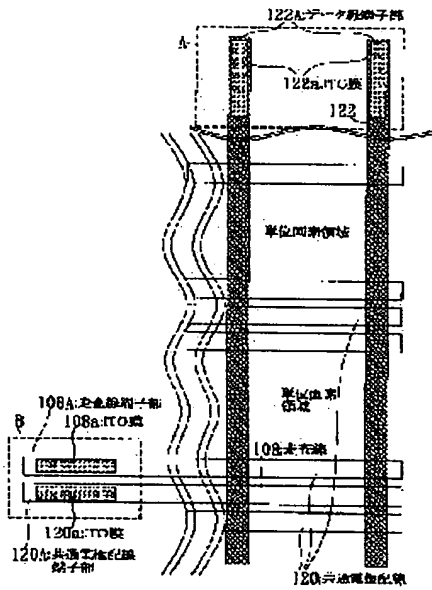


【図39】



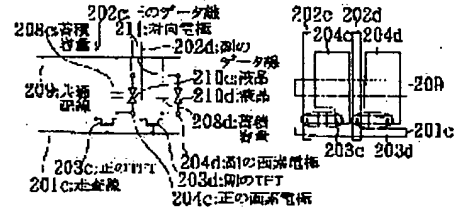
【図42】

【図40】



(a)

(b)



フロントページの続き

(51)Int.Cl.7	識別記号	F I	テーマコート" (参考)
G 0 2 F 1/139		G 0 2 F 1/139	S F 1 1 0
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 D
21/336			6 1 9 A

Fターム(参考) 2H088 GA02 HA02 HA08 HA12 JA04
MA07 MA20
2H090 HA02 HA06 HB02X HB03X
HB04X HB06X HB07X HB08X
HB12X HB13X KA04 LA01
LA04 LA15
2H091 FA04Y GA07 GA13 HA06
LA15 LA30
2H092 GA14 GA25 JA26 JB56 KB25
MA37 NA07 NA25 PA06 PA08
QA06
2H093 NA16 NA21 NA31 NA43 ND10
NE03 NF04
SF110 CC07 DD02 EE03 EE04 EE44
FF02 FF03 FF09 FF29 GG02
GG15 GG45 HK03 HK04 HK09
HK16 HK33 HK35 HL03 HL04
HL07 HL23 NN24 NN27 NN35
NN36